

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-069010

(43)Date of publication of application : 07.03.2003

(51)Int.Cl. H01L 29/78
H01L 21/316
H01L 21/8234
H01L 27/088

(21)Application number : 2001-254597 (71)Applicant : SHARP CORP

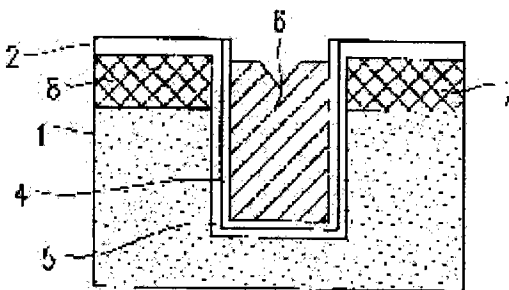
(22)Date of filing : 24.08.2001 (72)Inventor : UEDA NAOKI

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which the thickness of a gate oxide film does not generate a thickness difference on side faces and the bottom face of a groove when the gate oxide film is formed on the bottom face and the side faces of the groove, and in which oxidation of a first-conductivity-type semiconductor substrate is suppressed.

SOLUTION: The semiconductor device comprises a MOSFET in which the groove is formed on the first-conductivity semiconductor substrate 1, in which a gate electrode 6 is buried at the inside of the groove via an insulating film, and in which a second-conductivity source diffusion layer 7 and a second-conductivity drain diffusion layer 8 are formed on both sides of the groove with the buried gate electrode 6. The insulation film formed at the inside of the groove is constituted by laminating a first gate oxide film 4 and a second gate oxide film 5 in this order.



LEGAL STATUS

[Date of request for examination]

18.06.2004

[Date of sending the examiner's decision of rejection] 05.01.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L	29/78	H 0 1 L 21/316	X 5 F 0 4 8
	21/316	29/78	3 0 1 V 5 F 0 5 8
	21/8234	27/08	1 0 2 C 5 F 1 4 0
	27/088		

審査請求 未請求 請求項の数7 O L (全 11 頁)

(21) 出願番号 特願2001-254597(P2001-254597)

(22) 出願日 平成13年8月24日(2001.8.24)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 上田 直樹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

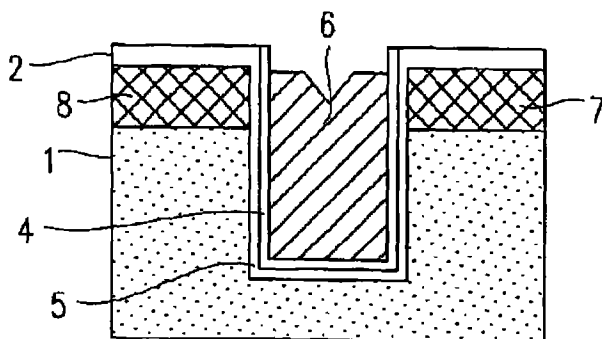
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 溝部の底面および各側面にゲート酸化膜を形成する場合に、ゲート酸化膜の膜厚が、溝部の側面および底面において膜厚差を生じず、第1導電型半導体基板の酸化が抑制される。

【解決手段】 第1導電型シリコン半導体基板1上に溝部が形成されて、その溝部の内面に絶縁膜を介してゲート電極6が埋め込まれ、ゲート電極6が埋め込まれた溝部の両側に第2導電型のソース拡散層7および第2導電型のドレイン拡散層8が形成されたMOSFETを有しており、溝部の内面に形成された絶縁膜が、第1ゲート酸化膜4、第2ゲート酸化膜5の順番に積層されて構成されている。



【特許請求の範囲】

【請求項 1】 第 1 導電型半導体基板上の所定の位置に溝部が形成されており、該溝部の内面に、絶縁膜を介して第 1 のゲート電極が埋め込まれ、該第 1 のゲート電極が埋め込まれた該溝部の両側に、第 2 導電型のソース拡散層および第 2 導電型のドレイン拡散層がそれぞれ形成された第 1 の MOSFET を有する半導体装置であって、

該溝部の内面に形成された絶縁膜は、第 1 ゲート酸化膜と第 2 ゲート酸化膜とが順番に積層されて構成されていることを特徴とする半導体装置。

【請求項 2】 前記第 1 の MOSFET の第 2 導電型のソース拡散層または第 2 導電型のドレイン拡散層の少なくとも一方を共有するように、第 2 の MOSFET が設けられており、該第 2 の MOSFET は、該第 1 の MOSFET と共有する第 2 導電型のソース拡散層または第 2 導電型のドレイン拡散層の外側に所定の間隔をあけて第 2 導電型のソース拡散層または第 2 導電型のドレイン拡散層が形成され、該所定の間隔の領域における該第 1 導電型半導体基板上に第 2 のゲート電極が形成されている請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 の MOSFET の前記第 1 のゲート電極が埋め込まれた前記溝部の外側に所定の間隔をあけて第 2 導電型のソース拡散層および第 2 導電型のドレイン拡散層がそれぞれ形成され、各所定の間隔の領域における該第 1 導電型半導体基板上に第 2 のゲート電極がそれぞれ形成されている請求項 1 に記載の半導体装置。

【請求項 4】 前記第 1 ゲート酸化膜の膜厚と第 2 ゲート酸化膜の膜厚との膜厚比が、ほぼ 1 : 1 である請求項 1 ~ 3 のいずれかに記載の半導体装置。

【請求項 5】 前記第 1 ゲート酸化膜は、シリコンを含む原料ガスと、酸素を含む原料ガスとの反応によって形成され、第 2 ゲート酸化膜は、酸化雰囲気ガスより供給される酸化種と、前記第 1 導電型半導体基板より供給されるシリコン原子との反応によって形成される請求項 1 ~ 4 のいずれかに記載の半導体装置。

【請求項 6】 第 1 導電型半導体基板上の所定の位置に、溝部を設ける領域を形成する工程と、
該第 1 導電型半導体基板上の該溝部を設ける領域をエッチングして、該溝部を形成する工程と、
該溝部の内面に第 1 ゲート酸化膜を形成する工程と、
該溝部の内面と該第 1 ゲート酸化膜との間に第 2 ゲート酸化膜を形成する工程と、
該第 1 ゲート酸化膜および該第 2 ゲート酸化膜が内面に形成された該溝部の内部にゲート電極を形成した後に、
該溝部が形成された該第 1 導電型半導体基板を平坦化する工程と、
該溝部の両側の該第 1 導電型半導体基板上に、該第 1 導電型半導体基板と導電型の異なる第 2 導電型のソース拡

散層および第 2 導電型のドレイン拡散層をそれぞれ形成する工程と、

を包含することを特徴とする半導体装置の製造方法。

【請求項 7】 前記第 1 ゲート酸化膜は、CVD 法によって形成され、前記第 2 ゲート酸化膜は、熱酸化法によって形成される請求項 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に、ゲート電極が半導体基板上に設けられた溝部に埋め込まれている半導体装置およびその製造方法に関する。

【0002】

【従来の技術】半導体集積回路では、高集積化を図るために、半導体基板に対する MOS トランジスタおよびバイポーラトランジスタの占有面積を縮小するための様々な技術が提案されている。例えば、MOSFET では、ゲート電極を半導体基板上に形成された溝部に埋め込むことによって、MOSFET の半導体基板に対する占有面積を縮小し、さらに、ゲート領域の長さを実効的に長くして、チャネル部を長くすることによって、ショートチャネル効果を抑制した構成が特開昭 50-8483 号公報に開示されている。この公報の構成では、半導体基板上に溝を形成し、その溝の内面を熱酸化することによって、第 1 のゲート酸化膜が形成されている。

【0003】図 5 (a) ~ (g) は、それぞれ特開昭 50-8483 号公報に開示された半導体装置の製造方法における各工程を示す断面図である。

【0004】まず、図 5 (a) に示すように、第 1 導電型シリコン半導体基板 31 上にシリコン酸化膜 32 とシリコン窒化膜 33 とをそれぞれ順番に積層した後に、シリコン窒化膜 33 上にフォトリソグラーフによって、第 1 導電型シリコン半導体基板 31 上に溝型ゲート電極を形成する領域が開口されるようにフォトリソグラーフをパターニングする。その後、エッチングによって、溝型ゲート電極を形成する領域のシリコン窒化膜 33、シリコン酸化膜 32 を順番に除去し、第 1 導電型シリコン半導体基板 31 の表面を露出させる。

【0005】次に、図 5 (b) に示すように、露出した第 1 導電型シリコン半導体基板 31 の表面をエッチングして、溝部を形成する。

【0006】次に、図 5 (c) に示すように、溝部が形成された第 1 導電型シリコン半導体基板 31 を加熱し、酸化種と反応させて溝部の内面に犠牲酸化膜を形成する。その後、溝部が形成された第 1 導電型シリコン半導体基板 31 をフッ酸 (HF) 溶液に浸漬することにより、溝部の表面に形成された犠牲酸化膜を除去する。そして、再度、溝部が形成された第 1 導電型シリコン半導

体基板 31 を加熱し、酸化種と反応させて、溝部の表面にゲート酸化膜 34 を形成する。

【0007】次に、図 5 (d) に示すように、溝部の内部のゲート酸化膜 34 を覆うように、ポリシリコンから成るゲート電極 35 を溝部の中に埋め込むとともに、シリコン窒化膜 33 上にもゲート電極 35 を積層する。

【0008】次に、図 5 (e) に示すように、第 1 導電型シリコン半導体基板 31 上のポリシリコンから成るゲート電極 35 およびシリコン窒化膜 33 に対して、異方性ドライエッチングまたは CMP (Chemical Mechanical Polishing : 化学的機械研磨) を行って、シリコン窒化膜 33 上に積層されたゲート電極 35 を除去するとともに、シリコン窒化膜 33 も研磨する。

【0009】次に、図 5 (f) に示すように、溝部以外の領域のゲート電極 35 を構成するポリシリコンをドライエッチングによって除去し、その後、シリコン窒化膜 33 も除去する。

【0010】次に、図 5 (g) に示すように、第 1 導電型シリコン半導体基板 31 上のポリシリコンから成るゲート電極 35 が埋め込まれた溝部の両側に、シリコン酸化膜 32 上よりイオン注入によって不純物を拡散させる。イオン注入により、シリコン酸化膜 32 の下方に、第 1 導電型シリコン半導体基板 31 と異なる第 2 導電型のソース拡散層 36 およびドレイン拡散層 37 が、第 1 導電型シリコン半導体基板 31 上の溝部の両側にそれぞれ形成される。

【0011】また、半導体基板に埋め込まれた溝型ゲート電極を用いる他の例として、隣接する MOSFET のソース電極またはドレイン電極のいずれか一方を共有することにより半導体基板上における 1 個の MOSFET の占有する面積を小さくする技術がある。

【0012】図 6 (a) ~ (f) は、このような例を示す半導体装置の製造方法における各工程を示す断面図である。

【0013】まず、図 6 (a) に示すように、第 1 導電型シリコン半導体基板 41 上に、第 2 MOSFET を構成する第 2 ゲート酸化膜 42、ポリシリコンから成る第 2 ゲート電極 43 およびエッチングマスク材 44 を順番に積層した。その後、エッチングマスク材 44 上にフォトレジストを塗布し、フォトリソグラフィにより第 1 導電型シリコン半導体基板 41 上に溝型ゲート電極を形成する領域が開口されるようにフォトレジストをパターンニングする。そして、パターンニングされたフォトレジストをマスクとして、エッチングによって、エッチングマスク材 44、第 2 ゲート電極 43、第 2 ゲート酸化膜 42 を順番に除去し、第 1 導電型シリコン半導体基板 41 の表面を露出させる。

【0014】次に、図 6 (b) に示すように、第 1 導電型シリコン半導体基板 41 の表面が露出した領域をエッ

チングして第 2 ゲート電極 43 に対して、マスク合せを行わず自己整合的に溝部を形成する。

【0015】次に、図 6 (c) に示すように、図 5 (c) において説明した同様の方法により、第 1 導電型シリコン半導体基板 41 に形成された溝部の内面に、第 1 MOSFET を構成する第 1 ゲート酸化膜 45 を形成する。

【0016】次に、図 6 (d) に示すように、溝部の内部の第 1 ゲート酸化膜 45 を覆うように、ポリシリコンから成る第 1 ゲート電極 46 を溝部の中に埋め込むとともに、エッチングマスク材 44 上にも第 1 ゲート電極 46 を積層する。

【0017】次に、図 6 (e) に示すように、溝部以外の領域の第 1 ゲート電極 46 を構成するポリシリコンをドライエッチングによって除去する。この時、溝部に埋め込まれた第 1 ゲート電極 46 は、溝部の開口部から所定の深さまで除去される。その後、溝部の第 1 ゲート電極 46 が除去された相互に対向する各側壁に対して、矢印にて示すように、斜め上方から不純物をイオン注入する。

【0018】これにより、図 6 (f) に示すように、溝部内面を覆う第 1 ゲート酸化膜 45 の外側における第 1 導電型シリコン半導体基板 41 内の相互に対向する各領域に、第 1 導電型シリコン半導体基板 41 とは導電型の異なる第 2 導電型のドレイン拡散層 49 およびソース拡散層 50 がそれぞれ形成される。さらに、溝部の両側の第 2 ゲート酸化膜 42、第 2 ゲート電極 43 およびエッチングマスク材 44 が順番に積層された領域のさらに外側の各領域に不純物をそれぞれイオン注入する。これにより、第 1 導電型シリコン半導体基板 41 とは導電型の異なる第 2 導電型のドレイン拡散層 48、ソース拡散層 47 が第 2 ゲート酸化膜 42、第 2 ゲート電極 43 およびエッチングマスク材 44 の積層領域の両側にそれぞれ形成される。さらに、図 6 (e) において、不純物をイオン注入するために、第 1 ゲート電極 46 が溝部の開口部から所定の深さまで除去された部分に、ポリシリコンが埋め込まれて、第 1 ゲート電極 46 が溝部の開口部近傍まで形成される。

【0019】これにより、第 2 MOSFET が、第 2 導電型のドレイン拡散層 48、第 2 ゲート電極 43、第 2 導電型のソース拡散層 50、および、第 2 導電型のドレイン拡散層 49、第 2 ゲート電極 43、第 2 導電型のソース拡散層 47 から構成され、第 1 MOSFET が、第 2 導電型のドレイン拡散層 49、第 1 ゲート電極 46、第 2 導電型のソース拡散層 50 から構成される。そして、第 2 導電型のドレイン拡散層 48、第 2 ゲート電極 43、第 2 導電型のソース拡散層 50 から構成される第 2 MOSFET と、第 1 MOSFET とは、第 2 導電型のソース拡散層 50 が共有され、第 2 導電型のドレイン拡散層 49、第 2 ゲート電極 43、第 2 導電型のソース

拡散層 47 から構成される第 2 MOSFET と、第 1 MOSFET とは、第 2 導電型のドレイン拡散層 49 が共有される。

【0020】このように、第 1 MOSFET と第 2 MOSFET とは、共有される領域（電極）である第 2 導電型のドレイン拡散層 49 およびソース拡散層 50 において、接続されるために、半導体基板上に多数のメモリセル等を形成する場合には、微細化に有利となる。

【0021】

【発明が解決しようとする課題】しかしながら、図 5 (g) に示す第 1 の従来例では、使用される第 1 導電型シリコン半導体基板 31 の表面の面方位が (100) 面に制御されている場合、第 1 導電型シリコン半導体基板 31 の表面からのエッチングによって形成された溝部の側面の面方位は、(110) 面の面方位に近くなっている。このため溝部の側面の面方位が (110) 面の面方位に近い状態で、ゲート酸化膜 34 を熱酸化法を用いて溝部の底面および各側面に形成した場合、溝部の底面に形成されるゲート酸化膜 34 の膜厚と溝部の側面に形成されるゲート酸化膜 34 の膜厚とは、成膜条件（酸化雰囲気、酸化温度等）にも依るが、30～100% の膜厚の差が生じる。このように、溝部の底面および側面に形成されるゲート酸化膜 34 の膜厚に差が生じる理由としては、熱酸化膜の酸化レートが第 1 導電型シリコン半導体基板 31 表面の面方位に対して依存性を有しているためであり、熱酸化膜の酸化レートが第 1 導電型シリコン半導体基板 31 表面の面方位に対して依存性を有しているのは、第 1 導電型シリコン半導体基板 31 表面の面方位上におけるシリコン原子の面密度の差によるものであるということが知られている。

【0022】溝部の底面に形成されるゲート酸化膜 34 が所定の膜厚になるように成膜条件の制御を行うと、溝部の側面に形成されるゲート酸化膜の膜厚が、溝部の底面に形成されるゲート酸化膜の膜厚に対して、130～200% まで増加して、溝部の側面および底面の部分をチャンネルとして使用する MOSFET の駆動特性が悪化するという問題がある。

【0023】また、図 6 (f) に示す第 2 の従来例では、平面状の第 1 導電型シリコン半導体基板 41 の表面に先に形成された第 2 MOSFET の第 2 ゲート電極 43 に対してマスク合せを行わず自己整合的に形成された溝部の内部に、熱酸化により第 1 ゲート酸化膜 45 を形成し、その上に第 1 ゲート電極 46 を埋め込むことにより第 1 MOSFET が形成されている。この場合、図 6 (c) に示すように、溝部内に第 1 ゲート酸化膜 45 を形成する際に、第 1 ゲート酸化膜 45 が第 2 ゲート酸化膜 42 の下方の溝部に近接した第 1 導電型シリコン半導体基板 41、および、第 2 ゲート酸化膜 42 の上方の溝部に近接したポリシリコンから成る第 2 ゲート電極 43 を酸化することになる。その結果、第 2 MOSFET

の第 2 ゲート酸化膜 42 の膜厚が、溝部側に接近するにつれて順次厚くなり第 2 MOSFET の駆動特性を劣化させるおそれがある。

【0024】本発明は、このような課題を解決するものであり、その目的は、半導体基板上に設けられた溝部の底面および各側面に形成されたゲート酸化膜の膜厚が、溝部の側面および底面において膜厚差を生じず、溝部の内部にゲート酸化膜が形成される際に、半導体基板および溝部の外側のゲート電極の酸化が抑制される半導体装置およびその製造方法を提供することにある。

【0025】

【課題を解決するための手段】本発明の半導体装置は、第 1 導電型半導体基板上の所定の位置に溝部が形成されており、該溝部の内面に、絶縁膜を介して第 1 のゲート電極が埋め込まれ、該第 1 のゲート電極が埋め込まれた該溝部の両側に、第 2 導電型のソース拡散層および第 2 導電型のドレイン拡散層がそれぞれ形成された第 1 の MOSFET を有する半導体装置であって、該溝部の内面に形成された絶縁膜は、第 1 ゲート酸化膜と第 2 ゲート酸化膜とが順番に積層されて構成されていることを特徴とする。

【0026】前記第 1 の MOSFET の第 2 導電型のソース拡散層または第 2 導電型のドレイン拡散層の少なくとも一方を共有するように、第 2 の MOSFET が設けられており、該第 2 の MOSFET は、該第 1 の MOSFET と共有する第 2 導電型のソース拡散層または第 2 導電型のドレイン拡散層の外側に所定の間隔をあけて第 2 導電型のソース拡散層または第 2 導電型のドレイン拡散層が形成され、該所定の間隔の領域における該第 1 導電型半導体基板上に第 2 のゲート電極が形成されている。

【0027】前記第 1 の MOSFET の前記第 1 のゲート電極が埋め込まれた前記溝部の外側に所定の間隔をあけて第 2 導電型のソース拡散層および第 2 導電型のドレイン拡散層がそれぞれ形成され、各所定の間隔の領域における該第 1 導電型半導体基板上に第 2 のゲート電極がそれぞれ形成されている。

【0028】前記第 1 ゲート酸化膜の膜厚と第 2 ゲート酸化膜の膜厚との膜厚比が、ほぼ 1 : 1 である。

【0029】前記第 1 ゲート酸化膜は、シリコンを含む原料ガスと、酸素を含む原料ガスとの反応によって形成され、第 2 ゲート酸化膜は、酸化雰囲気ガスより供給される酸化種と、前記第 1 導電型半導体基板より供給されるシリコン原子との反応によって形成される。

【0030】本発明の半導体装置の製造方法は、第 1 導電型半導体基板上の所定の位置に、溝部を設ける領域を形成する工程と、該第 1 導電型半導体基板上の該溝部を設ける領域をエッチングして、該溝部を形成する工程と、該溝部の内面に第 1 ゲート酸化膜を形成する工程と、該溝部の内面と該第 1 ゲート酸化膜との間に第 2 ゲ

ート酸化膜を形成する工程と、該第1ゲート酸化膜および該第2ゲート酸化膜が内面に形成された該溝部の内部にゲート電極を形成した後に、該溝部が形成された該第1導電型半導体基板を平坦化する工程と、該溝部の両側の該第1導電型半導体基板上に、該第1導電型半導体基板と導電型の異なる第2導電型のソース拡散層および第2導電型のドレイン拡散層をそれぞれ形成する工程と、を包含することを特徴とする。

【0031】前記第1ゲート酸化膜は、CVD法によって形成され、前記第2ゲート酸化膜は、熱酸化法によって形成される。

【0032】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。

【0033】図1は、本発明の第1の実施形態である半導体装置の要部の断面図である。図1に示す半導体装置は、第1導電型シリコン半導体基板1上の所定の位置に、所定の深さの溝部が形成されている。溝部の内部の各側面および底面には、第1ゲート酸化膜4および第2ゲート酸化膜5がそれぞれ順番に積層されている。第1ゲート酸化膜4上には、ポリシリコンから成るゲート電極6が溝部の開口部近傍まで埋め込まれている。

【0034】溝部の両側における第1導電型シリコン半導体基板1上部には、第1導電型シリコン半導体基板1とは導電型の異なる第2導電型のドレイン拡散層8および第2導電型のソース拡散層7がそれぞれ形成されており、第2導電型のドレイン拡散層8上および第2導電型のソース拡散層7上には、シリコン酸化膜2がそれぞれ積層されている。

【0035】図2(a)～(h)は、本発明の第1の実施形態の半導体装置の製造方法における各工程を示す断面図である。

【0036】まず、図2(a)に示すように、第1導電型シリコン半導体基板1上に、ウェル層(図示せず)および素子分離領域(図示せず)を形成して、厚さ5～20nm程度のシリコン酸化膜2と、厚さ100～200nm程度のシリコン窒化膜3とをそれぞれ順番に積層した後、シリコン窒化膜3上にフォトレジストを塗布し、フォトリソグラフィによって、第1導電型シリコン半導体基板1上に溝型ゲート電極を形成する領域が開口されるように、フォトレジストをパターンニングする。その後、エッチングによって、溝型ゲート電極を形成する領域のシリコン窒化膜3、シリコン酸化膜2を順番に除去し、第1導電型シリコン半導体基板1の表面を露出させる。

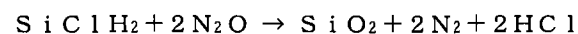
【0037】次に、図2(b)に示すように、露出した第1導電型シリコン半導体基板1の表面をエッチングして、深さ100～500nmの溝部を形成する。

【0038】次に、図2(c)に示すように、溝部が形成された第1導電型シリコン半導体基板1を加熱し、酸

化種と反応させて溝部の内部に、厚さ5～30nmの犠牲酸化膜を形成する。この犠牲酸化膜の厚さは、50nm程度が望ましい。その後、溝部が形成された第1導電型シリコン半導体基板1をフッ酸(HF)溶液に浸漬することにより、溝部の表面に形成された犠牲酸化膜を完全に除去する。その後、再度、溝部が形成された第1導電型シリコン半導体基板1を加熱し、第1導電型シリコン半導体基板1の表面において、シリコン(Si)を含有するSiClH₂等のガスと酸素を含むN₂O等のガスを反応させて、または、シリコン(Si)を含有するSiClH₂等のガスとH₂O₂等の液体とを反応させて、溝部の内部に第1ゲート酸化膜4を形成する。

【0039】第1ゲート酸化膜4は、例えばCVD(Chemical Vapor Deposition)法により、高温状態において、次の反応式より得られる。

【0040】



第1ゲート酸化膜4の膜厚は、製造工程において溝部の表面に形成されるゲート酸化膜の全膜厚が5nm程度である場合、ゲート酸化膜の全膜厚の1/2の2.5nm程度であることが望ましい。

【0041】次に、図2(d)に示すように、さらに、酸化雰囲気ガスより酸化種を供給しつつ溝部が形成された第1導電型シリコン半導体基板1を加熱することにより、第1導電型シリコン半導体基板1内の第1ゲート酸化膜4にて覆われた溝部の内面のシリコン(Si)と酸化種とを反応させて、溝部の内面に第2ゲート酸化膜5を形成する。第2ゲート酸化膜5は、溝部の内面と第1ゲート酸化膜4との間に形成される。この場合、第1導電型シリコン半導体基板1の加熱温度は800℃～1100℃、酸化種には、Dry O₂を使用することが好ましい。また、第2ゲート酸化膜5の膜厚も、製造工程において溝部の表面に形成されるゲート酸化膜の全膜厚が5nm程度である場合、ゲート酸化膜の全膜厚の1/2の2.5nm程度であり、第1ゲート酸化膜4の膜厚と第2ゲート酸化膜5の膜厚との膜厚比がほぼ1:1であることが望ましい。

【0042】ここで、第1ゲート酸化膜4の膜厚と第2ゲート酸化膜5の膜厚との膜厚比をほぼ等しくする理由を説明する。第1ゲート酸化膜4は、溝部の内部の第1導電型シリコン半導体基板1の表面に堆積するために、第1導電型シリコン半導体基板1の表面の面方位および面粗さの状態に対して、比較的酸化膜の成膜の状況が安定しているが、酸化膜自体の結合力が弱い場合がある。一方、第2ゲート酸化膜5は、溝部の内部の第1導電型シリコン半導体基板1のシリコン表面を、直接、酸化膜の組成に変質させるために、酸化膜自体の結合力が強く、シリコン基板との界面特性は優れているが、第1導電型シリコン半導体基板1の表面の面方位等の状態に成膜状態が影響されやすい傾向がある。このため、第1ゲ

ート酸化膜 4 の膜厚および第 2 ゲート酸化膜 5 の膜厚をほぼ同じ膜厚にして、溝部内にゲート酸化膜 4 および 5 を形成することによって、溝部のゲート酸化膜 4 および 5 は、それぞれ酸化膜自体の結合力が強くなるとともに、シリコン基板の表面の面方位等の状態に成膜状態が影響されにくくなり、溝部の各側面と底面とにおいて、膜厚差が生じなくなる。

【0043】製造される MOSFET の溝部の内部のゲート酸化膜の膜厚は、MOSFET の要求仕様によって、1~20nm の範囲とされる。

【0044】次に、図 2 (e) に示すように、溝部の内部の第 1 ゲート酸化膜 4 を覆うように、ポリシリコンから成るゲート電極 6 を溝部の内部に埋め込むとともに、シリコン窒化膜 3 上にもポリシリコンから成るゲート電極 6 を積層する。

【0045】次に、図 2 (f) に示すように、第 1 導電型シリコン半導体基板 1 上のポリシリコンから成るゲート電極 6 およびシリコン窒化膜 3 に対して、異方性ドライエッチングまたは CMP (Chemical Mechanical Polishing: 化学的機械研磨) を行って、シリコン窒化膜 3 上に積層されたゲート電極 6 を除去するとともに、シリコン窒化膜 3 も研磨して、平坦化する。

【0046】ここで、異方性ドライエッチングを用いて平坦化する場合、溝部に埋め込むゲート電極 6 の堆積させる膜厚は、溝部の幅の最大値の 0.6 倍以上であることが望ましい。また、CMP 法 (化学的機械研磨法) を用いて平坦化する場合、溝部に埋め込むゲート電極 6 の堆積させる膜厚は、溝部の深さの最大値よりも厚く堆積させることが望ましい。

【0047】次に、図 2 (g) に示すように、溝部以外の領域のゲート電極 6 を構成するポリシリコンをドライエッチングによって除去し、その後、溝部の両側のシリコン窒化膜 3 も除去する。

【0048】次に、図 2 (h) に示すように、第 1 導電型シリコン半導体基板 1 上のポリシリコンから成るゲート電極 6 が埋め込まれた溝部の両側に、シリコン酸化膜 2 上よりイオン注入によって不純物を拡散させる。これにより、シリコン酸化膜 2 の下方に、第 1 導電型シリコン半導体基板 1 と異なる第 2 導電型のソース拡散層 7 およびドレイン拡散層 8 が、第 1 導電型シリコン半導体基板 1 上の溝部の両側にそれぞれ形成される。尚、第 1 導電型シリコン半導体基板 1 上の第 2 導電型のソース拡散層 7 およびドレイン拡散層 8 は、第 1 導電型シリコン半導体基板 1 の表面に溝部を形成する前に形成しても良い。

【0049】これにより、第 1 導電型シリコン半導体基板 1 上に、ドレイン拡散層 8、ゲート電極 6、ソース拡散層 7、第 1 ゲート酸化膜 4、第 2 ゲート酸化膜 5 を有する MOSFET が形成される。この MOSFET は、

溝部内部の各側面および底面に同一膜厚の第 1 ゲート酸化膜 4 および第 2 ゲート酸化膜 5 が形成されることによって、良好なスイッチング特性が得られる。

【0050】図 3 (a) および (b) は、本発明の第 2 の実施形態である半導体装置の要部の断面図である。図 3 (a) に示す半導体装置は、第 1 導電型シリコン半導体基板 2 1 上の所定の位置に、所定の深さの溝部が形成されている。溝部の内部の各側面および底面には、第 1 ゲート酸化膜 2 5 および第 2 ゲート酸化膜 2 6 が順番に積層されている。第 1 ゲート酸化膜 2 5 上には、ポリシリコンから成る第 1 ゲート電極 2 7 が溝部の開口部近傍まで埋め込まれている。

【0051】溝部内面を覆う第 1 ゲート酸化膜 2 5 および第 2 ゲート酸化膜 2 6 の外側における第 1 導電型シリコン半導体基板 2 1 内の相互に対向する各領域に、第 1 導電型シリコン半導体基板 2 1 とは導電型の異なる第 2 導電型のドレイン拡散層 3 0 a および第 2 導電型のソース拡散層 3 0 b がそれぞれ形成されている。さらに、第 2 導電型のドレイン拡散層 3 0 a および第 2 導電型のソース拡散層 3 0 b から所定の間隔で第 2 導電型のソース拡散層 2 8 および第 2 導電型のドレイン拡散層 2 9 がそれぞれ形成されている。

【0052】第 2 導電型のドレイン拡散層 2 9 と第 2 導電型のソース拡散層 3 0 b との間、および、第 2 導電型のソース拡散層 2 8 と第 2 導電型のドレイン拡散層 3 0 a との間の第 1 導電型半導体基板 1 上には、第 3 ゲート酸化膜 2 2、第 2 ゲート電極 2 3、シリコン窒化膜 2 4 がそれぞれ順番に積層されている。

【0053】尚、図 3 (b) にしめすように、図 3 (a) の半導体装置における第 2 導電型のドレイン拡散層 3 0 a および第 2 導電型のソース拡散層 3 0 b を形成しないようにしてもよい。

【0054】図 4 (a) ~ (g) は、図 3 (a) に示す本発明の第 2 の実施形態の半導体装置の製造方法における各工程を示す断面図である。まず、図 4 (a) に示すように、第 1 導電型シリコン半導体基板 2 1 上に、第 2 MOSFET を構成する第 3 ゲート酸化膜 2 2、ポリシリコンから成る第 2 ゲート電極 2 3 およびシリコン窒化膜 2 4 を順番に積層した後、シリコン窒化膜 2 4 上にフォトレジストを塗布し、フォトリソグラフィにより第 1 導電型シリコン半導体基板 2 1 上に第 1 MOSFET を構成する溝型ゲート電極を形成する領域が開口されるようにフォトレジストをパターニングする。そして、パターニングされたフォトレジストをマスクとして、エッチングによって、シリコン窒化膜 2 4、第 2 ゲート電極 2 3、第 3 ゲート酸化膜 2 2 を順番に除去し、第 1 導電型シリコン半導体基板 2 1 の表面を露出させる。

【0055】次に、図 4 (b) に示すように、第 1 導電型シリコン半導体基板 2 1 の表面が露出した領域をエッチングして第 2 ゲート電極 2 3 に対してマスク合せを行

なわず自己整合的に溝部を形成する。

【0056】次に、図4(c)に示すように、溝部が形成された第1導電型シリコン半導体基板21を加熱し、酸化種と反応させて溝部の表面に、犠牲酸化膜を形成する。この犠牲酸化膜の厚さは、50nm程度が望ましい。その後、溝部が形成された第1導電型シリコン半導体基板21をフッ酸(HF)溶液に浸漬することにより、溝部の表面に形成された犠牲酸化膜を完全に除去する。その後、再度、溝部が形成された第1導電型シリコン半導体基板21を加熱し、第1導電型シリコン半導体基板21の表面において、シリコン(Si)を含有するSiClH₂等のガスと酸素を含むN₂O等のガスとを反応させて、または、シリコン(Si)を含有するSiClH₂等のガスとH₂O₂等の液体とを反応させて、溝部の表面に第1ゲート酸化膜25を形成する。

【0057】第1ゲート酸化膜25は、例えばCVD(Chemical Vapor Deposition)法により、高温状態において、次の反応式より得られる。

【0058】

$$\text{SiClH}_2 + 2\text{N}_2\text{O} \rightarrow \text{SiO}_2 + 2\text{N}_2 + 2\text{HCl}$$

第1ゲート酸化膜25の膜厚は、製造工程において溝部の表面に形成されるゲート酸化膜の全膜厚が5nm程度である場合、ゲート酸化膜の全膜厚の1/2の2.5nm程度であることが望ましい。

【0059】次に、図4(d)に示すように、酸化雰囲気ガスより酸化種を供給しつつ溝部が形成された第1導電型シリコン半導体基板21をさらに加熱することにより、第1導電型シリコン半導体基板21内の第1ゲート酸化膜25にて覆われた溝部の内面のシリコン(Si)と酸化種とを反応させて、溝部の内面に第2ゲート酸化膜26を形成する。第2ゲート酸化膜26は、溝部の内面と第1ゲート酸化膜25との間に形成される。この場合、第1導電型シリコン半導体基板21の加熱温度は800℃～1100℃、酸化種には、Dry O₂を使用することが好ましい。また、第2ゲート酸化膜26の膜厚も、製造工程において溝部の表面に形成されるゲート酸化膜の全膜厚が5nm程度である場合、ゲート酸化膜の全膜厚の1/2の2.5nm程度であり、第1ゲート酸化膜25の膜厚と第2ゲート酸化膜26の膜厚との膜厚比は、ほぼ1:1であることが望ましい。これにより、溝部の内部に第2ゲート酸化膜26を形成する際に、第2ゲート酸化膜26が第3ゲート酸化膜22の下方の溝部に近接した第1導電型シリコン半導体基板21、および、第3ゲート酸化膜22の上方の溝部に近接したポリシリコンから成る第2ゲート電極23を酸化することを抑制し、第3ゲート酸化膜22の膜厚が溝部側に接近するにつれて順次厚くなることが防止される。

【0060】ここで、第1ゲート酸化膜25の膜厚と第2ゲート酸化膜26の膜厚との膜厚比をほぼ等しくする

理由を説明する。第1ゲート酸化膜25は、溝部の内部のシリコン基板の表面に堆積するために、シリコン基板の表面の面方位および面粗さの状態に対して、比較的酸化膜の成膜の状況が安定しているが、酸化膜自体の結合力が弱い場合がある。一方、第2ゲート酸化膜26は、溝部の内部のシリコン基板のシリコン表面を、直接、酸化膜の組成に変質させるために、酸化膜自体の結合力が強く、シリコン基板との界面特性に優れているが、シリコン基板の表面の面方位等の状態に成膜状態が影響されやすい傾向がある。このため、第1ゲート酸化膜25の膜厚および第2ゲート酸化膜26の膜厚をほぼ同じ膜厚にして、溝部内にゲート酸化膜25および26を形成することによって、溝部のゲート酸化膜25および26は、それぞれ酸化膜自体の結合力が強くなるとともに、シリコン基板の表面の面方位等の状態に成膜状態が影響されにくくなり、溝部の側面と底面とにおいて、膜厚差が生じなくなる。

【0061】製造されるMOSFETの溝部のゲート酸化膜の膜厚は、MOSFETの要求仕様によって、1～20nmの範囲とされる。

【0062】次に、図4(e)に示すように、溝部の内部の第1ゲート酸化膜25を覆うように、ポリシリコンから成る第1ゲート電極27を溝部の内部に埋め込むとともに、シリコン窒化膜24上にもポリシリコンから成る第1ゲート電極27を積層する。

【0063】次に、図4(f)に示すように、第1導電型シリコン半導体基板21上のポリシリコンから成る第1ゲート電極27およびシリコン窒化膜24に対して、異方性ドライエッチングまたはCMP(Chemical Mechanical Polishing: 化学的機械研磨)を行って、シリコン窒化膜24上に積層された第1ゲート電極27を除去するとともに、シリコン窒化膜24も研磨して、平坦化する。さらに、溝部以外の領域の第1ゲート電極27を構成するポリシリコンをドライエッチングによって除去する。この時、溝部に埋め込まれた第1ゲート電極27は、溝部の開口部から所定の深さまで除去される。その後、溝部の第1ゲート電極27が除去された相互に対向する各側壁に対して、矢印にて示すように、斜め上方から不純物をイオン注入する。

【0064】これにより、図4(g)に示すように、溝部内面を覆う第1ゲート酸化膜25の膜厚および第2ゲート酸化膜26の外側における第1導電型シリコン半導体基板21内の相互に対向する各領域に、第1導電型シリコン半導体基板21とは導電型の異なる第2導電型のドレイン拡散層30aおよびソース拡散層30bがそれぞれ形成される。その後、溝部の両側の第3ゲート酸化膜22、第2ゲート電極23およびシリコン窒化膜24が順番に積層された領域のさらに外側の各領域に、不純物をそれぞれイオン注入する。これにより、第1導電型

シリコン半導体基板21とは導電型の異なる第2導電型のドレイン拡散層29、ソース拡散層28が第3ゲート酸化膜22、第2ゲート電極23およびシリコン窒化膜24の積層領域の両側にそれぞれ形成される。さらに、図4(e)において不純物をイオン注入するために、第1ゲート電極27が溝部の開口部から所定の深さまで除去された部分に、ポリシリコンを埋め込み、第1ゲート電極27が溝部の開口部近傍まで形成される。尚、第1導電型シリコン半導体基板21上の第2導電型のソース拡散層28およびドレイン拡散層29は、第1導電型シリコン半導体基板21の表面に溝部を形成する前に形成しても良い。

【0065】これにより、第2MOSFETの第3ゲート酸化膜22の膜厚が溝部側に接近するにつれて順次厚くなることを防止し、駆動特性が良好な第2MOSFETが得られる。第2MOSFETが、第2導電型のドレイン拡散層29、第2ゲート電極23、第2導電型のソース拡散層30b、および、第2導電型のドレイン拡散層30a、第2ゲート電極23、第2導電型のソース拡散層28から構成され、第1MOSFETが、第2導電型のドレイン拡散層30a、第1ゲート電極27、第2導電型のソース拡散層30bから構成される。そして、第2導電型のドレイン拡散層29、第2ゲート電極23、第2導電型のソース拡散層30bから構成される第2MOSFETと、第1MOSFETとは、第2導電型のソース拡散層30bが共有され、第2導電型のドレイン拡散層30a、第2ゲート電極23、第2導電型のソース拡散層28から構成される第2MOSFETと、第1MOSFETとは、第2導電型のドレイン拡散層30aが共有される。

【0066】このように、第1MOSFETと第2MOSFETとは、共有される領域(電極)である第2導電型のドレイン拡散層30aおよびソース拡散層30bにおいて、接続されるために、半導体基板上に多数のメモリセル等を形成する場合には、微細化に有利となる。

【0067】図4(a)~(g)には、図3(a)に示す半導体装置の製造工程を示したが、図3(a)の半導体装置における第2導電型のドレイン拡散層30aおよび第2導電型のソース拡散層30bが形成されていない図3(b)に示す半導体装置も、同様に製造できる。

【0068】図3(b)に示す半導体装置のMOSFETは、第2導電型のドレイン拡散層29、第2導電型のソース拡散層28、第2ゲート電極23、第1ゲート電極27を有しており、第2導電型のドレイン拡散層29、第2ゲート電極23、第2導電型のソース拡散層28から構成される第2MOSFETと、第2導電型のドレイン拡散層29、第1ゲート電極27、第2導電型のソース拡散層28から構成される第1MOSFETとは、並列接続の状態となり、それぞれの第2ゲート電極23および第1ゲート電極27のいずれかが選択ゲート

として機能する。したがって、図3(b)に示す半導体装置におけるMOSFETの構成を、半導体基板上に繰り返して作製することにより、メモリセルまたはシフトレジスタが形成できる。

【0069】

【発明の効果】本発明の半導体装置は、第1導電型半導体基板上に溝部が形成されて、その溝部の内面に絶縁膜を介して第1のゲート電極が埋め込まれ、その第1のゲート電極が埋め込まれた溝部の両側に第2導電型のソース拡散層および第2導電型のドレイン拡散層がそれぞれ形成された第1のMOSFETを有しており、溝部の内面に形成された絶縁膜が、第1ゲート酸化膜、第2ゲート酸化膜の順番に積層されて構成されていることによって、溝部の内部にゲート酸化膜を形成する場合に、ゲート酸化膜の膜厚が、溝部の側面および底面において、膜厚差を生じないようにするとともに、第1導電型半導体基板の酸化も抑制できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態である半導体装置の要部の断面図である。

【図2】(a)~(h)は、それぞれ本発明の第1の実施形態である図1に示す半導体装置の製造方法における各工程を示す断面図である。

【図3】(a)および(b)は、それぞれ本発明の第2の実施形態である半導体装置の要部の断面図である。

【図4】(a)~(g)は、それぞれ本発明の第2の実施形態である図3(a)に示す半導体装置の製造方法における各工程を示す断面図である。

【図5】(a)~(g)は、それぞれ従来の半導体装置の製造方法における各工程を示す断面図である。

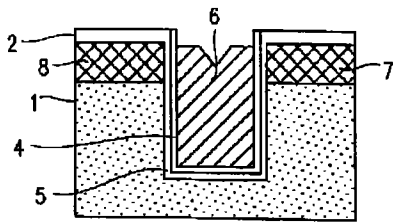
【図6】(a)~(f)は、それぞれ従来の他の半導体装置の製造方法における各工程を示す断面図である。

【符号の説明】

- 1 第1導電型半導体基板
- 2 シリコン酸化膜
- 3 シリコン窒化膜
- 4 第1ゲート酸化膜
- 5 第2ゲート酸化膜
- 6 ゲート電極
- 7 ソース拡散層
- 8 ドレイン拡散層
- 21 第1導電型半導体基板
- 22 第3ゲート酸化膜
- 23 第2ゲート電極
- 24 シリコン窒化膜
- 25 第1ゲート酸化膜
- 26 第2ゲート酸化膜
- 27 第1ゲート電極
- 28 ソース拡散層
- 29 ドレイン拡散層

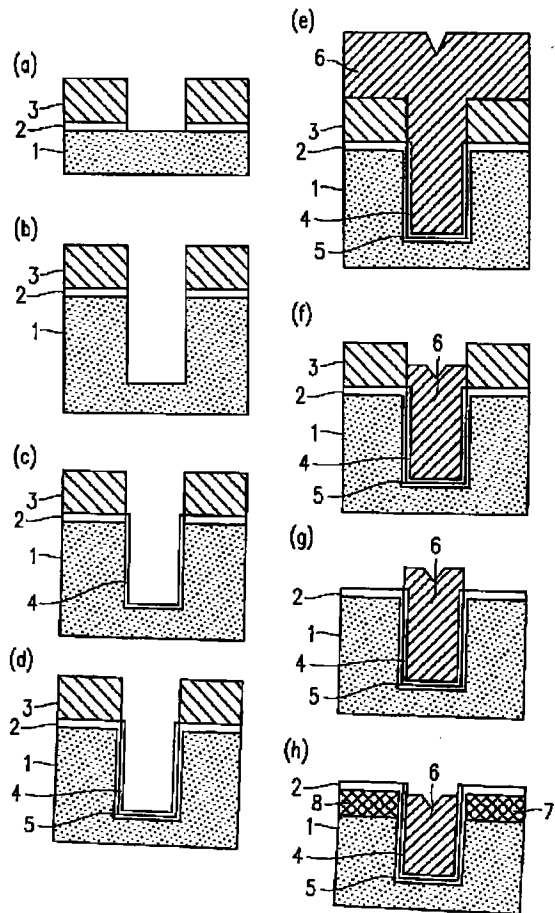
- 30a ドレイン拡散層
- 30b ソース拡散層
- 31 第1導電型半導体基板
- 32 シリコン酸化膜
- 33 シリコン窒化膜
- 34 ゲート酸化膜
- 35 ゲート電極
- 36 ソース拡散層
- 37 ドレイン拡散層
- 41 第1導電型半導体基板

【図1】

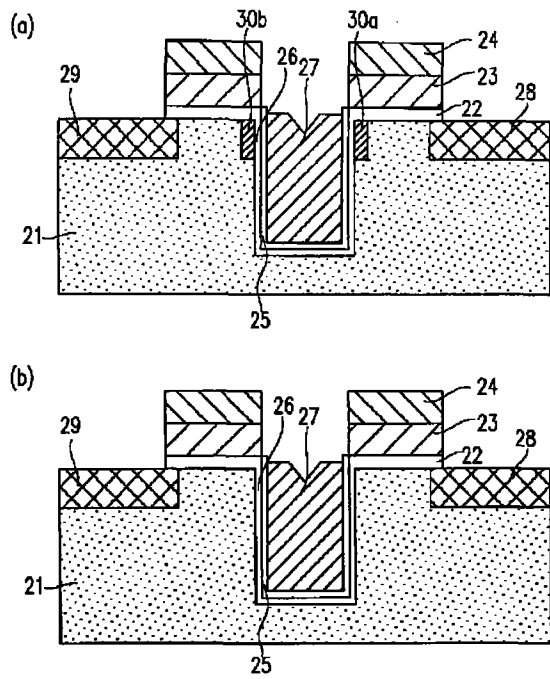


- 42 第2ゲート酸化膜
- 43 第2ゲート電極
- 44 エッチングマスク材
- 45 第1ゲート酸化膜
- 46 第1ゲート電極
- 47 ソース拡散層
- 48 ドレイン拡散層
- 49 ドレイン拡散層
- 50 ソース拡散層

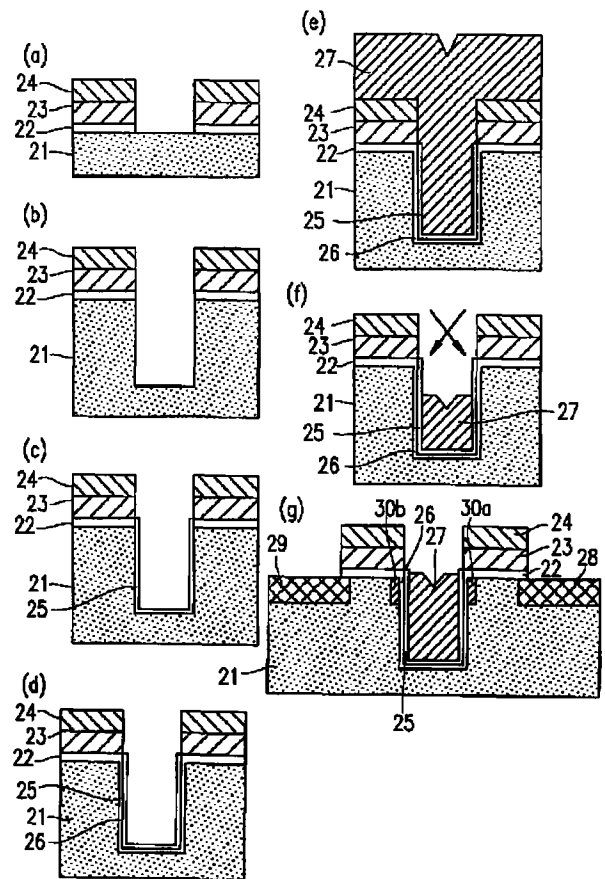
【図2】



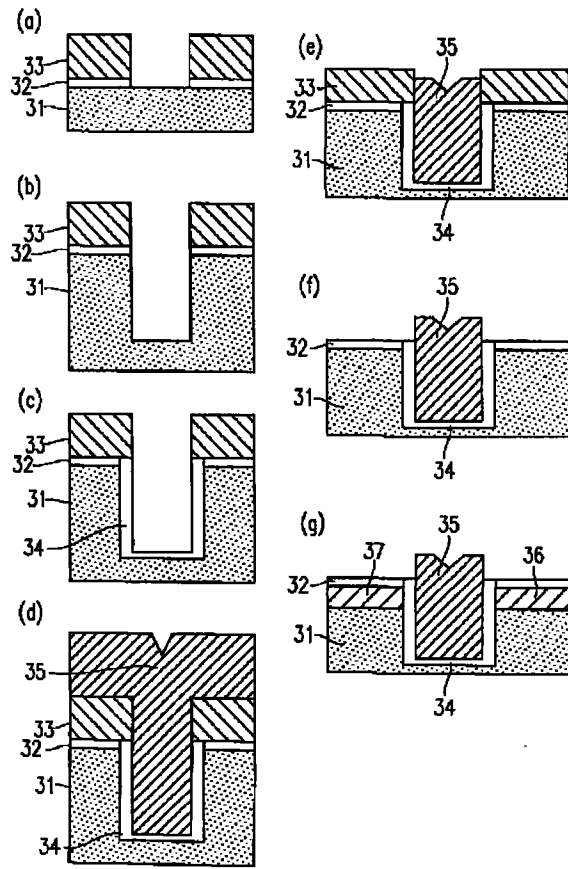
【図 3】



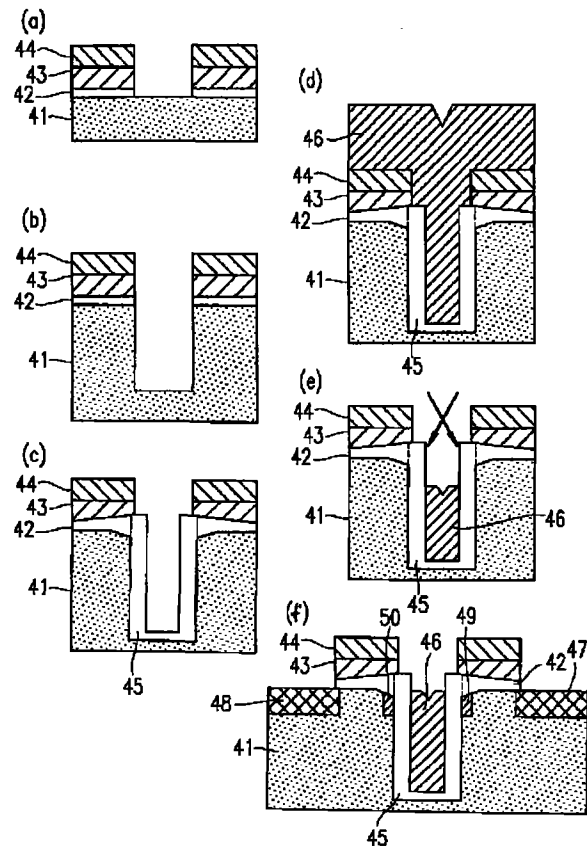
【図 4】



【図5】



【図6】



フロントページの続き

Fターム(参考) 5F048 AB01 AC01 BA01 BA19 BB02
 BB05 BB12 BB19 BC03 BD06
 5F058 BA20 BD01 BD04 BD10 BF24
 BF29 BF55 BF56 BF62
 5F140 AB01 AC32 BA01 BA20 BB02
 BB06 BD01 BD05 BD06 BD15
 BE01 BE03 BE07 BE10 BF01
 BF04 BF43 BF46 BG38 BG40
 BK13 BK14